

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP402090575A

PAT-NO: JP402090575A

DOCUMENT-IDENTIFIER: JP 02090575 A

TITLE: SEMICONDUCTOR PHOTODETECTING ELEMENT

PUBN-DATE: March 30, 1990

INVENTOR-INFORMATION:

NAME

FUJIWARA, ICHIRO

MATSUDA, HIROSHI

ITO, KAZUHIRO

NAGATSUMA, KAZUYUKI

KURODA, TAKARO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP63240993

APPL-DATE: September 28, 1988

INT-CL (IPC): H01L031/107

US-CL-CURRENT: 257/21,257/187 ,257/438

ABSTRACT:

PURPOSE: To improve degree of ionization by a method wherein a distortion stress or especially a compression stress is applied onto a semiconductor layer in which hot carriers travel.

CONSTITUTION: When a compression stress is applied, a valence electron band is varied in band structure and the energies of a heavy hole band and a light hole band are reversed, and a base condition becomes a light hole band. Therefore, as a compression stress is applied onto an InGaAs well layer 14 inside an

InGaAs/InP distorted super lattice, the well layer 14 is turned into a band structure. When holes of hot carriers occurred primary in the InGaAs layer 3 are injected into a carrier multiplying layer 6, a multiplying region inside the distorted super lattice grows to be an InGaAs well layer 14 as InP and InGaAs are different from each other in forbidden band width. The holes injected into the InGaAs layer 14 transmit a light hole band. In the case of InGaAs, the effective mass of a light hole band is one fourth or less as small as that of a heavy hole band, so that it can be easily accelerated by an electric field. Therefore, both the saturation rate and the degree of collision ionization of holes are improved.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-90575

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月30日

H 01 L 31/107

7733-5F H 01 L 31/10

B

審査請求 未請求 請求項の数 7 (全6頁)

⑭ 発明の名称 半導体受光素子

⑮ 特 願 昭63-240993

⑯ 出 願 昭63(1988)9月28日

⑰ 発 明 者 藤 原 一 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 松 田 広 志 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 伊 藤 和 広 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 長 妻 一 之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体受光素子

2. 特許請求の範囲

1. 半導体基板上に少なくとも光電変換を行なう光吸収層を含む複数の半導体層を積層して構成される半導体受光素子において、光を吸収して生じたホトキャリアである正孔が軽い正孔バンドを伝導することを特徴とする半導体受光素子。

2. 特許請求の範囲第1項記載の素子において、光吸収して生じたホトキャリアは半導体基板に対して、平行または垂直に走行することを特徴とする半導体受光素子。

3. 特許請求の範囲第1項記載の素子において、光吸収層以外の層として、ホトキャリアを増倍する増倍層を含み、増倍層を正孔が走行する場合、軽い正孔バンドを走行することを特徴とする半導体受光素子。

4. 特許請求の範囲第3項記載の素子において、増倍層が歪超格子であることを特徴とする半導

体受光素子。

5. 特許請求の範囲第1項記載の素子において、ホトキャリアで正孔が走行する半導体層に圧縮応力がかかっていることを特徴とする半導体受光素子。

6. 特許請求の範囲第3項記載の素子において、キャリアの増倍領域に圧縮応力がかかっていることを特徴とする半導体受光素子。

7. 特許請求の範囲第4項記載の素子において、キャリアの増倍領域である井戸層に圧縮応力がかかっていることを特徴とする半導体受光素子。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は長波長光通信用の受光素子に係り、特に高速・高感度なアバランシユホトダイオード(APD)あるいは、超高速PINホトダイオードの素子構造に関する。

〔従来の技術〕

従来の長波長APDはInGaAsを光吸収層、InPを増倍層としたSAM構造を基本としている。

InGaAs層で発生したホットキャリア（この場合、正孔）が高電界の印加されているInP層に注入されることによりアバランシェ増倍が生じる。

アバランシェ増倍はミクロにみるとホットキャリアの衝突イオン化に起因している。衝突イオン化率は、通常バンド構造に依存するため、InPバルクでは一義的に決定される。

一方、超高速APDを実現するには、イオン化率比を大きくする必要がある。InGaAs APDではイオン化率比は2.0～2.5であり、10Gb/s以上の超高速光通信システムに適用するにはかなり難しいと考えられている。

現在、InGaAs APDを凌ぐ超高速APDを実現するために、各所で様々な検討が行なわれている。基本的な目標はイオン化率比を改善することであり、主として、超格子を用いたAPDが検討されている。

InGaAs/InPの超格子を用いたAPDについては、マイ・イー・イー・イー ジャーナルオブクワンタム エレクトロニクス キューイー-22

(1986)第1986頁から1991頁(IEEE J.Quantum,Electron QE-22(1987)pp1986～1991)において論じられている。

InGaAs/InP超格子においては、InGaAs層でキャリア増倍が生じること、正孔のイオン化率(β)と電子のイオン化率(α)の比(イオン化率比) β/α として、2が得られている。

(発明が解決しようとする課題)

InGaAs/InP超格子APDのイオン化率比は、InPバルクでのイオン化率比にほぼ等しく、超格子を用いることによっても改善されていない。

これは、InGaAsバルクでのイオン化率比 α が約0.5であること、すなわち、電子のイオン化率の方が正孔のイオン化率よりも大きいことに起因している。

超格子APDではヘテロ界面における電子(ΔE_c)と正孔(ΔE_v)のバンド不連続のエネルギーの差を利用してイオン化率を人工的に変化させるものである。

InGaAs/InP超格子APDの場合、増倍層で

ある、InGaAs層では $\beta < \alpha$ にもかかわらず、バンド不連続エネルギーは $\Delta E_v > \Delta E_c$ であることに問題点があった。

本発明の目的は、超格子APDにおいて、正孔のイオン化率を改善することにより、イオン化率比を改善することである。さらに、ホットキャリアとしての正孔の飽和速度を従来よりも速くすることも目的としている。

(課題を解決するための手段)

上記目的はホットキャリアである正孔が走行する、半導体層に至、特に圧縮応力をかけることにより達成される。さらに、超格子APDの場合、アバランシェ領域は超格子の井戸層となる。超格子を至超格子として、井戸層に圧縮応力がかかるようにすることによって上記目的は達成される。

(作用)

一般、半導体に至を加えた場合、バンド構造、特に価電子帯のバンド構造が変化する。第1図(b)に示すように、圧縮応力を加えた場合、重い正孔と軽い正孔のエネルギーが逆転する。した

がつて、至超格子の井戸層に注入された正孔は、軽い正孔バンドを伝導する。

軽い正孔バンドの有効質量は重い正孔バンドの有効質量に比べて1/4以下になるため、正孔が電界により加速されやすくなり、正孔の衝突イオン化率が大きくなる。また、正孔の飽和速度も、重い正孔バンドを伝導する場合に比べて、大きくなる。

(実施例)

以下、本発明の一実施例を図面を用いて説明する。

第2図は本発明をInP系材料を用いたAPDに適用した場合の一実施例を示している。

まず製造方法について説明する。

n型InP基板1上に分子線エピタキシー法または、有機金属熱分解気相成長法により、n-InP層2、n-InGaAs層3、n-InGaAsP層4、n-InP層5、InGaAs/InP至超格子6、n-InP層7、を連続成長させる。

次に、p-InP層9をBeのイオン注入法

で、 p - InP 層8を Zn の熱拡散法でそれぞれ形成する。

次に、パッシベーション膜 $\text{SiO}_2/\text{SiN10}$ をプラズマCVD法または熱CVD法を用いて形成した後、 SiO_2 を選択的に除去することにより、反射防止膜11を形成する。

次に、周知の真空蒸着技術を用いて、 p 型オーミック電極12及び n 型オーミック電極13を形成することにより、素子を完全する。

InGaAs/InP の亜超格子6は厚みが約250Åの InGaAs 井戸層14と、 InP バリア層15を10~20層交互に積み重ねたものである。また、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ の組成は、 InP と格子整合する条件である $x=0.47$ よりも Ga リッチに制御し、 InGaAs 層に圧縮応力がかかるようにしてある。

次に素子の動作原理について説明する。

第1図に価電子帯及び伝導帯のエネルギーバンド図を示す。(a)は格子整合している場合、(b)は圧縮応力がかかっている場合である。圧縮応力がかかった場合、価電子帯のバンド構造が

変化し、重い正孔バンドと軽い正孔バンドのエネルギーが逆転し、基底状態が軽い正孔バンドとなる。このような現象は、バルクであつても、超格子内の井戸層であつても同一である。

したがって、 InGaAs/InP 亜超格子内の InGaAs 井戸層14では、圧縮応力がかかっているため、第1図(b)で示したようなバンド構造になっていると考えられる。

InGaAs 層3で主として形成されるホトキャリアである正孔がキャリア増倍層6に注入された場合を考える。 InP と InGaAs では禁止帯幅が異なるため、亜超格子内の増倍領域は InGaAs 井戸層14となる。 InGaAs 層14に注入された正孔は、軽い正孔バンドを伝達する。 InGaAs の場合、軽い正孔バンドの有効質量は重い正孔バンドに比べて1/4以下であるため、電界により加速されやすくなっている。したがって、正孔の飽和速度及び衝突イオン化率がともに増大する。

さらに、 InGaAs/InP の価電子帯の不連続エネルギーは、伝導帯に比べて約2倍大きいため、

InGaAs 層をホトキャリアが走行するとき、正孔は電子よりも2倍大きなエネルギーを受けとることができる。

したがって、 InGaAs/InP 亜超格子において正孔と電子のイオン化率比が増大し、アバランシェ立上り時間が小さくなる。さらに、正孔の飽和速度も大きくなっているため、増倍領域の正孔の走行時間も小さくなる。

したがって、APD動作する際の増倍率が大きい領域の制限要素であるアバランシェ立上り時間が小さくなり、APD利得、帯域積が増大する。本実施例において利得、帯域積75GHz以上が得られている。

第3図に本発明の第2の実施例である InP 系材料を用いたAPDの断面図を示す。

第2図と異なるのは、 InGaAs/InP 亜超格子24に $2 \times 10^{18} \sim 10 \times 10^{18} \text{ cm}^{-3}$ のドーピングがなされていることである。すなわち、第2図では、 Lo-Hi-Lo キャリア濃度分布を持つものに対して、第3図では Hi-Lo キャリア濃度

分布を持っている。

製造方法、動作原理については、第2図の場合と同一である。本実施例を用いても、APDの利得、帯域積が75GHz以上が得られている。

第1、第2の実施例では表面入射方式のプレーナ型APDについて示したが、本発明は、裏面入射方式のAPDまたはメサ型APDに対しても適用可能であることは言うまでもない。

第4図に第3の実施例を示す。本実施例は本発明を InP 系材料を用いたPINホトダイオードに適用したものである。

第2図の場合と同様に、分子線エピタキシー法または有機金属熱分解気相成長法を用いて n - InP 基板40上に n - InP 層41、 $\text{In}_{1-x}\text{Ga}_x\text{As}/\text{In}_{1-y}\text{Ga}_y\text{As}$ の亜超格子42、 n - InP 層43を連続成長させる。

次に、 Zn 選択熱拡散により p - InP 層44を形成する。以降の製造方法は第2図の場合と同一である。すなわち、パッシベーション膜45、反射防止膜46を形成した後、 p 型オーミック電

極47, n型オーミック電極48を形成する。

InGaAs亜超格子層42はInPに格子整合したInGaAs50と少しGaリンチの組成を持つInGaAs51を250Åずつ交互に積層したものである。この亜超格子42には圧縮応力がかかっているため、重い正孔と軽い正孔のバンド構造が第1図(b)に示すように逆転している。

第4図の場合、ホトキャリアはInGaAs亜超格子内を走行する。正孔は軽い正孔バンドを伝導するため、飽和速度が重い正孔バンドを伝導する場合に比べて増大する。その結果、走行時間制限遮断周波数が向上し、PINホトダイオードの高速化が可能となる。従来、PINホトダイオードの高速化は量子効率を劣化させる方向で達成されてきたが、本発明では、量子効果を劣化させることなく、超高速PINホトダイオードを実現できるという効果を持つ。

これまでの実施例においては、ホトキャリアは基板に対して垂直に走行する受光素子について示したが、基板に対して平行にホトキャリア(正孔)

が走行する構造のAPD, PIN等の受光素子であっても、本発明の本質を損うものではない。

また、これまでInP系材料を用いた受光素子について述べてきたが、他の材料系、例えばGaSb-GaAsSb系、InP-InAsAs系、GaAs-GaAs₂系、Ge-GeSi, HgCdTe系を用いた場合であっても、本発明が実施できることは言うまでもない。

【発明の効果】

本発明によれば、ホトキャリアとしての正孔が軽い正孔バンドを伝導するため、半導体受光素子に対して以下の効果を持つ。

(1) 正孔の飽和速度が大きくなるため、空乏層内の正孔の走行時間が短くなり、走行時間制限遮断周波数が向上する。

また、APDの場合、増倍領域の固有アバランシュ増倍時間が短くなり、利得・帯域積が向上する。

(2) 超格子APDにおいて、増倍領域である井戸層において、正孔の衝突イオン化率が大きくな

るため、アバランシエ立上り時間が短くなり、利得・帯域積が向上する。

(3) 主として(2)の効果のために、10Gb/s以上の光通信システムに適用可能な超高速APDを実現することができる。

4. 図面の簡単な説明

第1図は、格子整合している場合(a)と、圧縮応力がかかっている場合(b)の価電子帯のバンド構造の変化の説明図、第2図は、本発明をInP系材料を用いたAPDに適用した場合の一実施例の素子断面図、第3図は、本発明をInP系材料を用いたAPDに適用した場合の実施例の素子断面図、第4図は本発明をInP系材料を用いたPINホトダイオードに適用した場合の実施例の素子断面図である。

V_c …伝導帯、 V_{cr} …重い正孔バンド、 V_{cl} …軽い正孔バンド、 V_{so} …スプリットオフバンド、 E_g …歪のない場合のバンドギャップ、 E_g' …圧縮応力がかかった場合のバンドギャップ、1…n-InP基板(Sドーパ)、2…n-InPバ

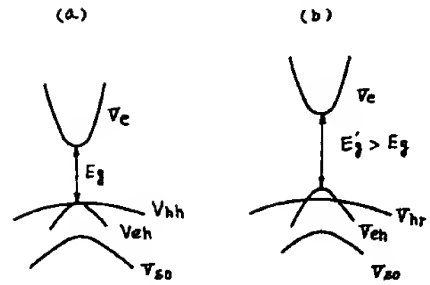
ツファ層、3…n-InGaAs光吸収層、4… $\lambda_s = 1.4, 1.2, 1.0$ の3層からなるn-InGaAsPグレーデッド層、5…n-InP電界緩和層、6…n-InGaAs/InP亜超格子、7…n-InP窓層、8…p-InP層、9…p-InP層、10…パッシベーション膜(SiO_2/SiN)、11…反射防止膜(SiN)、12…p型オーミック電極(Au/Pt/Ti)、13…n型オーミック電極(Au/Pd/AuGeNi)、14… $In_{1-x}Ga_xAs$ 層($x > 0.47$ Gaリンチ、15…InP層、20…n-InP基板、21…n-InPバツファ層、22…n-InGaAs光吸収層、23…n-InGaAs中間層($\lambda_s = 1.4, 1.2, 1.0 \mu m$ の3層構造)、24…n-InGaAs/InP亜超格子、25…n-InP窓層、26…p-InP、27…p-InP、28…パッシベーション膜(SiO_2/SiN)、29…反射防止膜(SiN)、30…p型オーミック電極(Au/Pt/Ti)、31…n型オーミック電極(Au/Pb/AuGeNi)、40…n-InP

基板、41…n-InPバッファ層、42…
n-InGaAs亜超格子光吸収層、43…n-InP窓層、44…p-InP層、45…パツ
シベーション膜、46…反射防止膜、47…p型
オーミック電極、48…n型オーミック電極、
50…In_{1-x}Ga_xAs層(x=0.47) InPに格子
整合、51…In_{1-x}Ga_xAs層(x>0.47) Gaリ
ツチ。

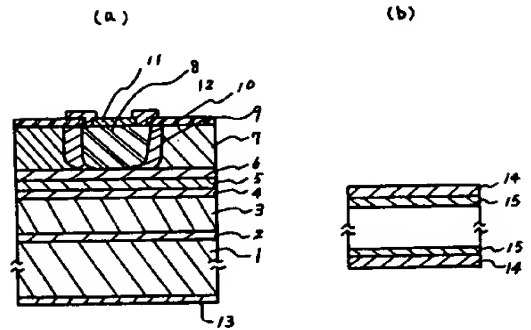
代理人 弁理士 小川勝男



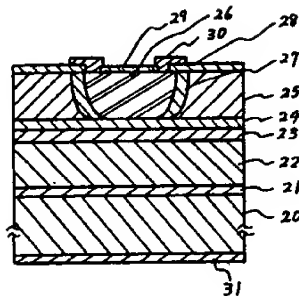
第 1 図



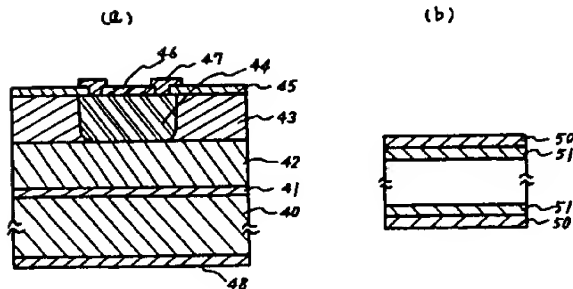
第 2 図



第 3 図



第 4 図



第1頁の続き

②発明者 黒田 崇郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内